

メモリベース論理再構成デバイス(MRLD)における

劣化状態検知のためのリングオシレータ実装

Ring Oscillator Implementation for Aging Monitoring in
Memory-based Reconfigurable Logic Device (MRLD)

周 細紅[†] 王 森レイ[†] 樋上 喜信[†] 高橋 寛[†]

[†]愛媛大学 大学院理工学研究科

1. はじめに

近年、超スマート社会を支えるIoT (Internet of Things) 技術の普及に伴い、IoT システムへの取組みが各国で進んでいる。あらゆるモノが繋がるIoT システムでは、多種多様なエッジデバイスがインターネットを介してクラウドと接続することで膨大なデータ収集と解析処理をリアルタイムに行う[1-2]。

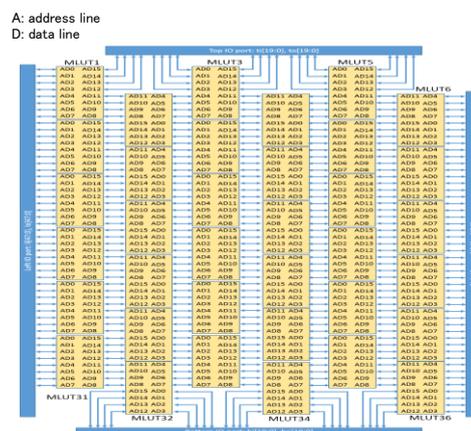
最近、IoTでの膨大なデータに対してリアルタイムで解析処理を行うため、次世代のIoTエッジデバイス向けの再構成論理デバイス MRLD(Memory-based Reconfigurable Logic Device: MRLDは太陽誘電株式会社の登録商標である)が開発されている[3]。一方、MRLDデバイスの運用中に経年劣化による予告なし「誤作動」や「停止」等の障害を引き起す恐れがあり、システム全体の信頼性に多大な影響を及ぼす。これまでの高信頼化技術では、デバイスの製造時に劣化予測による障害率評価や運用時の障害回避のための冗長・多重化設計方法が提案されたが、MRLDデバイスの運用中の劣化故障を検出するフィールドテスト技術は確立されていない。さらに、IoT環境では、膨大な数のエッジデバイスがあり、経年劣化による障害が起こしたデバイスは自らクラウドに故障状態を報告しないと、低い精度或いは不正確なデータがそのままクラウドに吸上げてしまい、クラウド側でのデータ解析精度が低下する恐れがある。IoTシステムの高信頼性を保証するためには、エッジデバイスの劣化状態を早期に検出・報告する劣化障害予告技術が必要である。

本稿では、MRLD デバイスの運用中の劣化状態を早期に検出できる方法を提案する。具体的には、MRLD の構成要素である MLUT (Multiple look-up Table) での経年劣化による遅延時間を計測するために、MRLD デバイスの構造に適するリングオシレータ発振回路の設計及び実装方法を提案する。さらに、6×6のMLUT アレイをもつMRLDにおいて論理シミュレーションを行うことで、提案法の有効性を確認する。

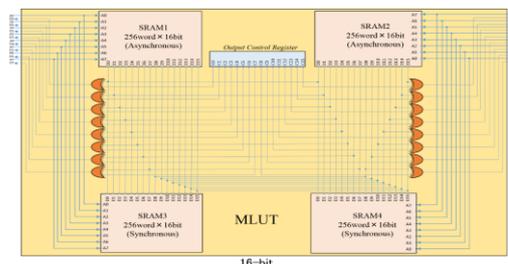
2. MRLD の概要

2.1 MRLD の構成と動作原理 [4]

MRLD は複数の汎用メモリセル (MLUT: Multiple Look Up Tables) がアレイ状に並んで構成されている。図 1(a)に6×6個のMLUTで構成されるMRLDの構造を示す。MLUTの間は、アドレス入力線とデータ出力線と対 (AD 対と呼ぶ) で双方向相互接続されている。個々MLUTのアドレスの入力は隣接するMLUTのデータ出力線と接続している。また、一番外側のMLUTのアドレス入力線とデータ出力線はMRLDデ



a. MLUT 行列



b.単体 MLUT の構造

図 1. MRLD と MLUT の構造

バイスの IO (Input/Output Port) と接続している。

単体 MLUT の構造は図 1(b)に示す。MLUT は同期 SRAM(SRAM1, SRAM2)と非同期 SRAM(SRAM3, SRAM4)それぞれ 2 個で構成されている。同期 SRAM と非同期 SRAM のアドレス入力はそれぞれ MLUT のアドレス入力線の上位 8 ビットと下位 8 ビットを順番に共有して使用する。同期 SRAM のアドレス入力はクロックによる制御する。非同期 SRAM のアドレス入力は ATD (非同期動作コントローラ) を介してアドレスの変化を検知することで非同期動作を実行する。SRAM のデータ出力線は、OR ゲートに接続される。更に 16-bit の ORC (Output-Control-Register) は XOR ゲートを通じて MLUT のデータ出力線を制御する。ユーザは MLUT の SRAM 上に真理値表を書き込むことで、論理や配線を構成することができる。図 2 は MLUT に論理を構成する例を示す。従来の再構成論理デバイス FPGA と比較して、MRLD では配線論理も直接 MLUT に構成するため、小遅延・低消費電力の優位性がある。

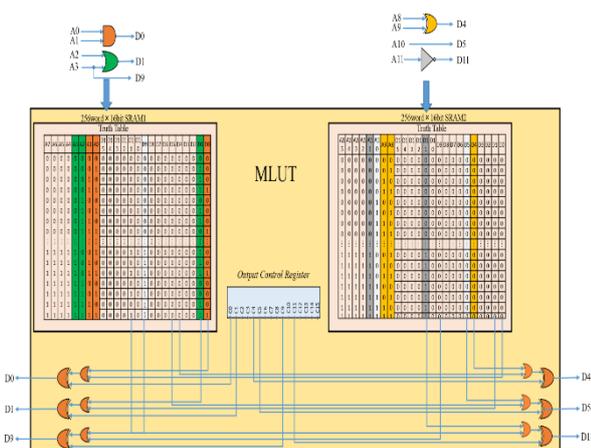


図 2. MLUT における論理再構成の例 [4]

2.2 MRLD デバイスにおける劣化問題

MRLD デバイスは多数のメモリセル MLUT をアレイ上に並んで構成されている。デバイスの運用中には、図 3 に示すように、MLUT 単体の劣化進行状況はばらばらとされていると考えられる。MRLD において論理回路を構築する場合、デバイスの中の全ての MLUT での劣化による遅延量を事前に把握できれば、論理回路のパフォーマンスの最適化ができる。さらに、論理回路を構築する際に、劣化遅延の大きい MLUT を回避することで、障害の未然防止も可能と考えられる。

デバイスの経年劣化による遅延を計測するためには、リングオシレータ (RO: Ring-Oscillator) 発振回路をデバイス内に実装することが有効な手段である。図 4 に 1 個の 2 入力 NAND と偶数個のインバータから構成される一般的な RO 構造を示す。発振制御信号 En を 1 に設定すると RO が発振モードで動作し、インバータ論理部では発振パルスを発生する。一定時間内の RO の発振パルス数 (周波数) を計測することで、回路の遅延量を計算することができる。

本研究では、MRLD デバイスの劣化状態を検知するために、RO を用いた MLUT の遅延測定方法を提案する。

3. RO を用いた MRLD デバイスの劣化遅延計測

MRLD における劣化状態検知には MLUT アレイ全体の累積遅延 (グローバル遅延) と MLUT 単体の遅延 (ローカル遅延) を計測することが必要である。

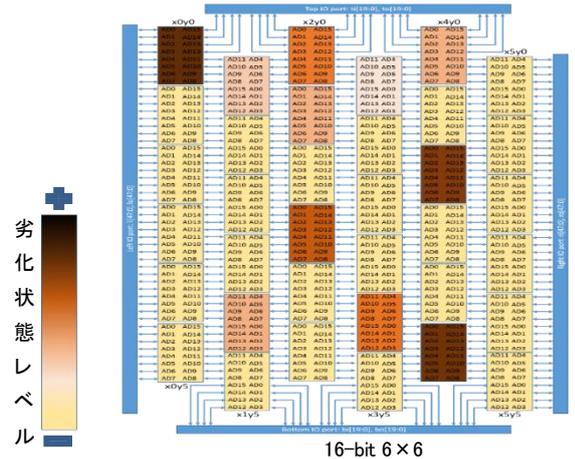


図 3. MRLD における劣化モデル

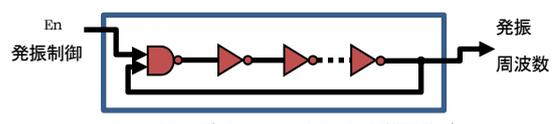


図 4. リングオシレータによる遅延測定

遅延) を計測することが必要である。本稿では、グローバル遅延とローカル遅延を測定するための RO 回路の設計及び実装方法をそれぞれ提案する。

3.1 グローバル遅延測定のための RO 実装方法

まず、RO によるグローバル遅延の測定に関して述べる。MRLD のグローバル遅延を測定するには、図 5 に示すように、MLUT アレイの個々の MLUT に RO の発振素子インバータを配置することが必要である。RO の発振動作時に、個々 MLUT に構成されたインバータ論理による信号遷移が発生する。MLUT ではメモリに書き込まれたデータ (真理値表) を読み出す動作 (アドレス入力, データ出力) のため、メモリでの劣化による遅延が起こると信号遷移時間が遅れてしまい、RO の出力で一定時間の発振周波数を観測することで MLUT 全体のグローバル遅延時間を計算することが可能である。計測したグローバル遅延時間を RO が通過した MLUT の数との平均値を取ると、MLUT 単体の平均遅延を得ることができる。

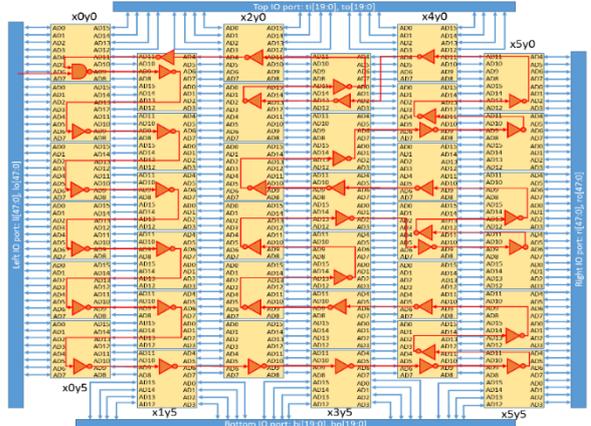


図 5. RO による MRLD のグローバル遅延測定

3.2 ローカル遅延測定のための RO 実装方法

次に、RO によるローカル遅延の測定に関して述べる。グローバル遅延を測定することで MLUT の平均遅延を計測することができるが、どの MLUT が劣化による遅延が大きいかを判別できない。MLUT 単体の劣化状況はメモリの使用頻度 (書き込み・読み出し) によって異なるため、MLUT 単体の劣化による遅延量を高精度に計測することが必要である。

ローカル遅延は、MRLD に MLUT 単体や部分 MLUT アレイに RO を配置することで測定できる。MLUT 単体遅延を測定するには、RO 発振素子のインバータ論理を MLUT 単体に集中的に配置することで実現できる。図 6 に示すように、計測対象となる MLUT の全ての入力 (アドレス入力 A0~A15) に対してインバータの出力論理を構成する。MLUT では、入力に対して任意の出力への配線論理を構成することができるため、対象 MLUT と隣接する MLUT に折り返し配線論理を構成することで、RO を構築することができる。RO で観測する発振周期をメモリのアクセス時間 (読み出す) と比較す

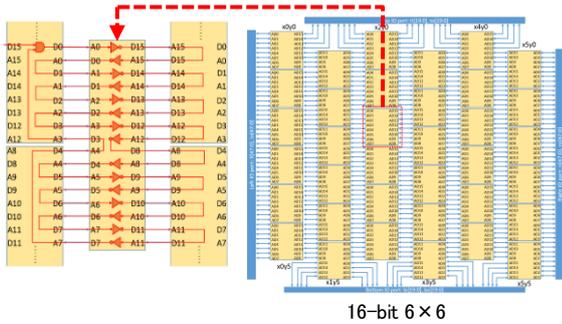


図 6. RO による MLUT 単体の遅延測定

ることで、計測対象 MLUT の遅延時間を計算することができる。

図 7 は部分 MULT アレイのローカル遅延を測定するための RO 回路構造を示す。測定対象となる MULT アレイの個々 MLUT に RO の発振素子インバータ論理を配置する。

3.3 遅延測定のための RO 実装手順

ここでは、MRLDにおけるRO実装手順を述べる。

図5, 6, 7に示すMRLDデバイスのグローバル遅延測定方法及びローカル遅延測定方法の実装手順は以下に示す。

Step 1. 測定対象の選択

グローバル遅延を測定する際にはMRLDの全体を選択する。ローカル遅延を測定する場合、部分MLUTアレイに含まれ

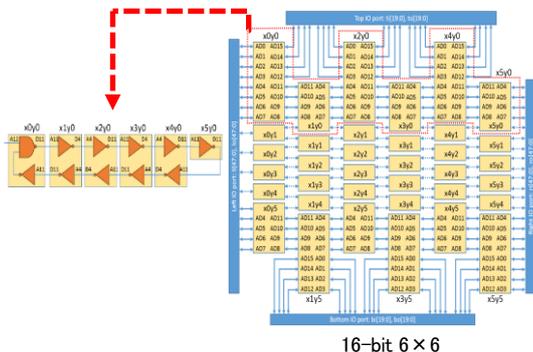


図 7. 部分 MLUT 遅延測定のための RO 構造

る MLUT を選定する。

Step 2. 測定区域の RO 回路構造設計

図4, 5, 6に示すように、選択された MLUT に対して適切な RO 測定回路の構造を設計する。

Step 3. RO 回路の真理値表の作成

RO 測定回路を構築する個々 MLUT に書き込む真理値表を作成する。

Step 4. RO 真理値表を指定した MLUT に書き込む

Step 5. 外部出力から RO 発振周期観測・遅延解析

図 8 は部分 MLUT アレイの遅延を測定するための RO 真理値表の作成例を示す。事前に設計した RO の回路構造に基づいて、選定した MLUT にインバータ論理の入出力を指定し、真理値表を作成する。図 9 は作成した RO 真理値表を MLUT に実装する例を示す。

3.4 MRLD における LUT 遅延測定のための RO 発振周波数カウンタ

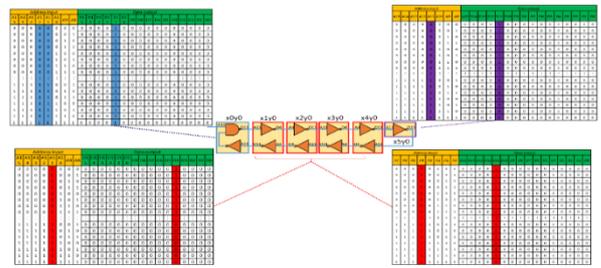


図 8. 部分 MLUT アレイの遅延計測のための RO 回路構造と真理値表

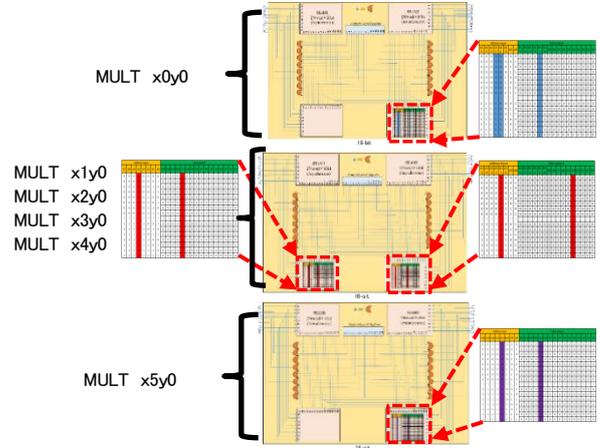


図 9. 部分 MLUT アレイの遅延測定のための真理値表の実装

MLUT の遅延を測定するために、構築された RO の発振周波数を計測することが必要である。従来の手法では、非同期式カウンタ回路を用いて RO の発振パルスを計測するが、カウンタ回路を構成するフリップフロップは MLUT に構築することができない。そこで、本研究では、図 10 に示す MRLD デバイスの構造に適した RO 発振周波数を数えるカウンタ回路を設計した。この回路では、N 個の加算器を直列につなぐことで、MLUT に構築した RO の二つの異なる観測点の信号を NOR 論理に通してパルス（信号の遷移）を検知する。検知したパルス信号は N 段の加算回路で累加算を行う。

計測した RO の発振周波数を用いて、MLUT の遅延は以下の式で計算できる。

$$LUT_{\text{measurement delay}} = \frac{RO \text{ running time}}{2 * RO \text{ frequency} * RO \text{ Inverter number}}$$

上式の、RO running time は計測時に RO の発振動作時間。RO frequency は RO 発振周波数である、RO Inverter number は RO 測定回路中にインバータ個数である。

4. 実装評価

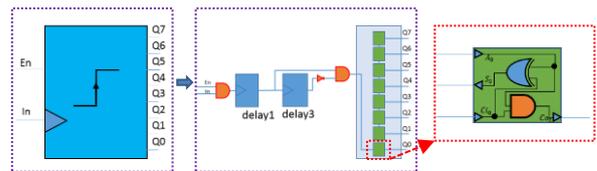


図 10. MRLD デバイスの構造に適した遅延計測のための RO 発振周波数カウンタ

本稿では、提案した手法を評価するために、コンピュータ上で設計し、シミュレーションで評価した。

4.1 評価方法

提案手法を 6x6 MULT アレイで構成させる MRLD 上に実装し、Icarus Verilog Simulator V10.2 を用いて論理シミュレーションを行った。図 11 に示した選択された MLUT に対して

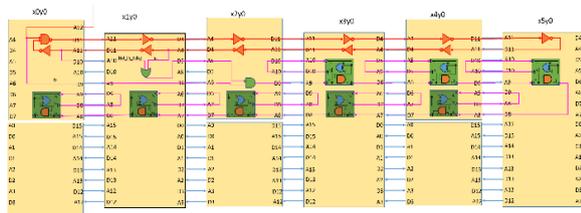


図 11. RO 回路と RO 発振周波数カウンタ構造

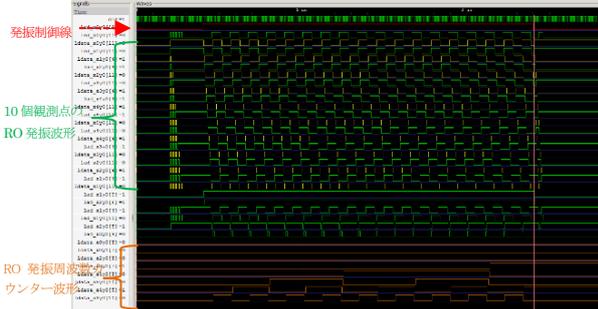


図 12. MLUT に対して遅延を測定するシミュレーション波形

遅延を測定する RO 回路と RO 発振周波数カウンターを実装し、発振波形と周波数の個数を観測した。選択された MLUT に遅延を測定するための RO は、1 個の 2 入力 NAND と 10 個のインバータから構成される。図 12 にシミュレーション結果を示す。

4.2 評価結果

MLUT の動作遅延には、SRAM の読み出す遅延とアドレス変化を検知するための ATD 回路部の遅延を含む。

$$LUT_{\text{delay}} = SRAM_{\text{delay}} + ATD_{\text{delay}}$$

提案手法を評価するため、 $SRAM_{\text{delay}} + ATD_{\text{delay}}$ の値を 10 回変更し(遅延値を挿入)、RO の発振動作時間を 2000ns と 1000ns を設定し、それぞれ 10 回の $LUT_{\text{measurement delay}}$ を測定した。図 13 に示すように、測定した遅延値 $LUT_{\text{measurement delay}}$ と理論遅延値 LUT_{delay} を比較した。測定値の誤差が微小であることから、提案手法の有効性が確認できた。

5. まとめ

本稿では、MRLD デバイスの構成要素である MLUT での経年劣化による遅延時間を計測するために、MRLD デバイスの構造に適するリングオシレータ発振回路の設計及び実装方法を提案した。提案法は MRLD デバイスでの MLUT 全体のグローバル遅延および MLUT 単体のローカル遅延をそれぞれ計測することが可能である。評価実験として実行した論理シミュレーションの結果から、提案法は高精度に MLUT の遅延を測ることが確認できた。

謝 辞

本研究は一部、科研費(19K20234)の助成を受けたものである。また、本研究で行われた MRLD デバイスに対する評価実験には太陽誘電株式会社および TRL 株式会社から協力を得ている。

文 献

- [1] “第一部 第 2 章 ビッグデータ利活用元年の到来”。平成 29 年度版情報通信白書: データ主導経済と社会変革, 総務省, 2017, p.52-105.

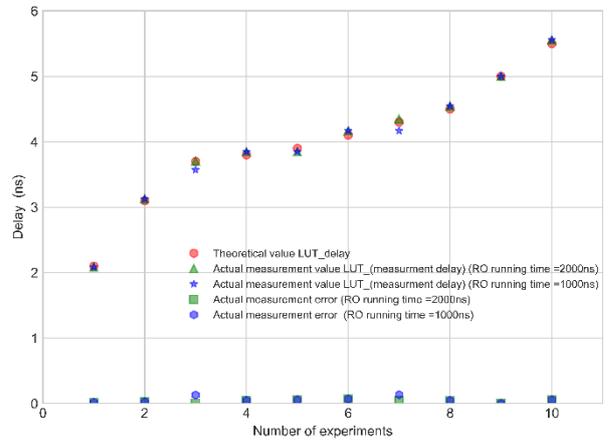


図 13. 遅延測定誤差

<http://www.soumu.go.jp/johotsusintokei/whitepaper/ja/h30/pdf/30honpen.pdf>, (参照 2019 年 7 月).

- [2] “第一部 第 1 章 世界と日本の ICT”。平成 30 年度版情報通信白書: 人口減少時代の ICT による持続的成長, 総務省, 2018, p.6-48.
- [3] 太陽誘電株式会社, 再構成可能な半導体装置, 特開 2016-208426, 2016-12-08.
- [4] S. Wang, Y. Higami, H. Takahashi, M. Sato, M. Katsu and S. Sekiguchi, “Testing of Interconnect Defects in Memory Based Reconfigurable Logic Device (MRLD),” *2017 IEEE 26th Asian Test Symposium (ATS)*, Taipei, 2017, pp. 17-22.